

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

jc564 U.S. PTO
09/534648



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1999년 특허출원 제41271호
Application Number

출원년월일 : 1999년 9월 27일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

1999 년 10 월 7 일

특허청장
COMMISSIONER

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	1999.09.27
【국제특허분류】	H01L 23/28
【발명의 명칭】	적층 패키지 및 그의 제조 방법
【발명의 영문명칭】	Stack package and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	류주현
【성명의 영문표기】	LYU, Ju Hyun
【주민등록번호】	711110-1238817
【우편번호】	336-850
【주소】	충청남도 아산시 배방면 북수리 산 74번지
【국적】	KR
【발명자】	
【성명의 국문표기】	이관재
【성명의 영문표기】	LEE, Kwan Jai
【주민등록번호】	661213-1037319
【우편번호】	330-260
【주소】	충청남도 천안시 신방동 한라동백2차아파트 108동 1706호
【국적】	KR

【발명자】

【성명의 국문표기】

조태제

【성명의 영문표기】

CHO, Tae Je

【주민등록번호】

640609-1792013

【우편번호】

442-470

【주소】

경기도 수원시 팔달구 영통동 주공아파트 133동 1101호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

윤동열 (인) 대리인

이선희 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

24 면 24,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

18 항 685,000 원

【합계】

738,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장_1통 [1999년 1월 21일자 포괄위임등록, 1999년 3월 15일자복 대리인선임]

【요약서】

【요약】

본 발명은 적층 패키지 및 그의 제조 방법에 관한 것으로, 적층 패키지를 구성하는 각각의 개별 반도체 패키지에 대한 박형화를 이루어 적층 패키지의 박형화를 구현하고, 적층 패키지를 구성하는 각각의 개별 반도체 패키지에 대한 테스트 공정을 가능하게 하기 위해서, 패키지 몸체 두께로 리드 프레임의 외부 리드를 형성하여 패키지 몸체의 상부면 및 하부면으로 노출될 외부 리드 부분을 복수개의 반도체 패키지를 수직으로 적층할 때 내부 접속 단자로서 활용하고, 적층 패키지의 맨 아래에 위치하는 반도체 패키지의 패키지 몸체 밖으로 돌출된 외부 리드를 인쇄회로기판의 실장형태에 맞게 절곡하여 외부접속단자로 활용하는 적층 패키지 및 그의 제조 방법이 개시되어 있다. 특히, 본 발명에 따른 적층 패키지를 구성하는 개별 반도체 패키지의 외부 리드의 접속된 상태를 패키지 몸체의 측면을 통하여 확인할 수 있기 때문에, 개별 반도체 패키지의 적층시 정렬을 용이하게 실시할 수 있어 적층 패키지의 수율을 향상시킬 수 있는 장점도 있다.

【대표도】

도 13

【색인어】

적층 패키지, 리드 프레임, 하프 에칭, 테이프, 외부 리드

【명세서】

【발명의 명칭】

적층 패키지 및 그의 제조 방법 {Stack package and method for manufacturing the same}

【도면의 간단한 설명】

도 1은 본 발명의 제 1 실시예에 따른 반도체 패키지를 나타내는 평면도,

도 2는 도 1의 2-2선 단면도로서, 패키지 몸체 외측의 외부 리드 부분이 절 뒀 타입으로 절곡된 상태를 보여주는 단면도,

도 3은 도 2에서 패키지 몸체 외측의 외부 리드 부분이 잘려진 상태를 보여주는 단면도,

도 4는 도 1의 반도체 패키지의 본 발명에 따른 제조 방법의 실시예를 나타내는 공정도

도 5 내지 도 12는 도 4에 도시된 제조 방법의 각 단계들을 보여주는 도면들로서,

도 5는 리드 프레임이 접착용 테이프에 부착된 상태를 보여주는 사시도,

도 6은 접착용 테이프에 반도체 칩이 부착된 상태를 보여주는 사시도,

도 7은 와이어 본딩된 상태를 보여주는 사시도,

도 8은 성형 공정에 의해 패키지 몸체가 형성된 상태를 보여주는 사시도,

도 9는 테이프가 제거된 상태를 보여주는 사시도,

도 10은 댄 바가 제거된 상태를 보여주는 사시도,

도 11은 외부 리드를 절곡한 이후에 타이 바를 절단하여 리드 프레임에서 도 2의 반도체 패키지가 분리되는 상태를 보여주는 사시도,

도 12는 외부 리드 및 타이 바를 절단하여 리드 프레임에서 도 3의 반도체 패키지가 분리되는 상태를 보여주는 사시도,

도 13은 제 1 실시예에 따른 복수개의 반도체 패키지를 적층하여 형성한 적층 패키지를 보여주는 사시도,

도 14는 본 발명의 제 2 실시예에 따른 반도체 패키지로써, 패키지 몸체 외측의 외부 리드 부분이 결 영 타입으로 절곡된 상태를 보여주는 단면도,

도 15는 본 발명의 제 2 실시예에 따른 반도체 패키지로써, 패키지 몸체 외측의 외부 리드 부분이 잘려진 상태를 보여주는 단면도,

도 16은 제 2 실시예에 따른 복수개의 반도체 패키지를 적층하여 형성한 적층 패키지를 보여주는 단면도,

도 17은 본 발명의 제 3 실시예에 따른 반도체 패키지로써, 패키지 몸체 외측의 외부 리드 부분이 결 영 타입으로 절곡된 상태를 보여주는 단면도,

도 18은 본 발명의 제 3 실시예에 따른 반도체 패키지로써, 패키지 몸체 외측의 외부 리드 부분이 잘려진 상태를 보여주는 단면도,

도 19는 본 발명의 제 3 실시예에 따른 반도체 패키지의 제조 방법의 실시예를 나타내는 공정도,

도 20은 제 3 실시예에 따른 복수개의 반도체 패키지를 적층하여 형성한 적층 패키지를 보여주는 단면도이다.

* 도면의 주요 부분에 대한 설명 *

10, 110, 210 : 반도체 칩 12, 112, 212 : 전극 패드

20, 120 : 리드 프레임 21, 121, 221 : 리드

22, 122, 222 : 내부 리드 23 : 댐 바

24, 24a, 124, 124a, 224, 224a : 외부 리드

25 : 사이드 프레임 27 : 타이 바

30 : 테이프 40, 140 : 금속 세션

50, 150, 250 : 패키지 몸체

60, 60a, 160, 160a, 260, 260a : 반도체 패키지

70, 170, 270 : 적층 패키지

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<32> 본 발명은 적층 패키지 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 패키지 몸체 두께로 리드 프레임의 외부 리드를 형성하여 패키지 몸체의 상부면 및 하부면으로 노출된 외부 리드 부분을 적층되는 복수개의 반도체 패키지 사이의 상호 접속 단자로 활용하는 적층 패키지 및 그의 제조 방법에 관한 것이다.

<33> 현재 대부분의 VLSI 반도체 칩들은 금속 리드를 갖는 플라스틱이나 세라믹으로 패키징되고, 패키지 외부로 돌출된 금속 리드는 인쇄회로기판에 솔더링(soldering)되거나 소켓(socket)에 삽입된다. 패키지에는 하나의 반도체 칩이 들어 있는 것이 보통이지만 여러 반

도체 칩들이 하나의 패키지로 조립될 수도 있다. 그런데 이런 패키지 조립 기술을 사용하더라도 회로의 밀도는 그다지 증가하지 못하는데, 그 이유는 플라스틱 패키지나 세라믹 패키지는 이것을 인쇄회로기판에 실장할 때, 특히 소켓을 사용하는 경우에 많은 실장 면적을 차지하기 때문이다.

<34> 또한 인쇄회로기판은 다른 전자 부품들과 마찬가지로 크기가 점점 더 작아지고 고밀도화하여 간다. 따라서 실장 면적이 제한되어 있거나 반도체 칩 간의 신호 전달 지연을 없애기 위해 반도체 칩들이 보다 가깝게 위치해야 하는 경우에 적용하기 위해서는 보다 고밀도의 패키지 기술이 요구된다. 이러한 패키지 기술 중에는 세라믹 기판을 사용하는 것이 있는데, 이 기판의 실장면에 패키지지 않은 여러 개의 반도체 칩들을 부착하고 와이어 본딩하거나 솔더 범퍼를 사용하여 기판의 실장면에 형성되어 있는 금속 도선에 반도체 칩을 바로 부착시킨다. 그러나 이러한 멀티 칩 모듈(MCM ; Multi Chip Module) 기술은 몇 가지 제한이 있다. 즉, 하나의 세라믹 기판에서 여러 반도체 칩들을 전기적으로 연결하려면 서로 교차하지 않는 배선 형태로 금속 도선을 도포·형성하여야 하지만 대부분의 기판은 미세한 금속 도선의 배선이 어렵다. 그래서 다층 구조를 갖는 기판을 사용해야 하는데, 이것은 값이 비싸고 열 방출 능력이 일정 수준까지로 제한된다는 단점이 있다. 그리고 이러한 멀티 칩 모듈에서는 패키지지 않은 반도체 칩들을 사용하기 때문에 모듈 조립을 하기 전에 번-인(burn-in)에 의한 수명 검사가 어렵고 기판 실장 후에는 불량 칩의 수리가 또한 어렵다.

<35> 그러나 이러한 단점에도 불구하고 멀티 칩 모듈의 등장은 반도체 칩들간의 시간 지연이 줄어들고, 전기적 잡음이나 누화(crosstalk)가 감소하며 반도체 소자의 전체 크기가 작아진다는 여러 장점들을 제공한다. 그리고 사용되는 반도체 칩들은 크기가 더 큰 것도 가능하며 단위 모듈 당 I/O(입출력) 리드의 수는 크게 증가한다는 이점이 있다.

<36> 반도체 소자 전체의 크기 감소라는 측면과, 열 방출 능력의 제한이나 번-인 검사의 어려움을 극복하고자 하는 측면에서 패키지지 않은 베어 칩(bare chip)을 사용하는 대신에 패키지된 개별 반도체 패키지를 적층하는 적층 패키지(stack package)가 등장하고 있다. 이러한 적층 패키지에서는 개별 반도체 패키지들을 XY 평면상에서 접속하는 것이 아니라 Z 축 방향으로—수직으로—접속하는데, 이러한 3차원 적층 패키지는 미국특허 제 5,138,438 호, 제 5,172,303 호, 제 5,198,888 호 및 제 4,763,188 호에 개시되어 있는데, 개별 반도체 패키지의 실장 밀도를 높이고 패키지들 간의 접속 밀도를 높일 수 있기 때문에, 속도와 고밀도가 중요한 슈퍼 컴퓨터나 접근 시간(access time) 및 고밀도가 요구되는 대형 캐쉬 메모리 등에 응용된다.

<37> 그러나, 적층 패키지를 구성하는 개별 반도체 패키지가 반도체 칩보다는 적어도 2배 이상 두꺼운 두께를 갖기 때문에, 전체적인 적층 패키지의 두께가 증가하는 문제점을 안고 있다. 따라서, 적층 패키지의 두께를 줄이기 위해서는 개별 반도체 패키지의 박형화가 요구되고 있으며, 이와 같은 추세는 적층 패키지가 아닌 개별적으로 사용되는 반도체 패키지에서도 요구되고 있는 사항이다. 이러한 박형화의 요구에 따라 제안된 반도체 패키지가 칩 스케일 패키지(Chip Scale Package; CSP)이다. 하지만, 현재 개발된 칩 스케일 패키지는 외부 접속단자가 패키지의 밑면에 배치된 구조를 갖기 때문에, 적층 패키지로의 구현하기가 쉽지 않다.

<38> 그리고, 적층된 개별 반도체 패키지를 전기적으로 연결시키기 위해서, 개별 반도체 패키지의 패키지 몸체 밖으로 돌출된 외부 리드에 대한 변형 예를 들면, 상부에 위치하는 개별 반도체 패키지의 외부 리드를 그 아래에 위치하는 개별 반도체 패키지의 외부 리드에 끼우거나 적층되는 개별 반도체 패키지의 외부 리드들에 수직으로 구멍을 뚫고 그 구멍에 연결 단

자를 삽입시켜 적층 패키지의 외부접속단자로 활용하는 등의 변형이 필요하기 때문에, 적층 패키지의 수율이 떨어지는 문제점을 안고 있다.

【발명이 이루고자 하는 기술적 과제】

<39> 따라서, 본 발명의 목적은 개별 반도체 패키지를 초박형으로 형성하여 적층형 패키지를 박형화하는 데 있다.

<40> 본 발명의 다른 목적은 적층형 패키지를 구성하는 개별 반도체 패키지에 대한 테스트를 용이하게 실시할 수 있는 개별 반도체 패키지를 제공하는 데 있다.

<41> 본 발명의 또 다른 목적은 적층 패키지의 수율을 향상시킬 수 있도록 하는 데 있다.

【발명의 구성 및 작용】

<42> 상기 목적을 달성하기 위하여, 본 발명은 복수개의 반도체 패키지가 적층된 적층 패키지로서, 상기 반도체 패키지들 각각은, 적어도 양측에 소정의 간격을 두고 소정의 두께로 형성된 내부 리드와, 상기 내부 리드와 연결되어 있으며 상기 내부 리드보다 적어도 두껍게 형성된 외부 리드로 구성된 리드와, 상기 내부 리드 사이에 배치되어 상기 내부 리드와 전기적으로 연결되고, 하부면이 상기 외부 리드의 하부면과 동일면에 위치하며 상기 내부 리드와 거의 동일한 두께를 갖는 반도체 칩과, 상기 반도체 칩과 내부 리드 및 반도체 칩과 내부 리드를 전기적으로 연결하는 부분을 봉합하여 성형되며, 상기 외부 리드의 상부면과 하부면이 외부에 노출되도록 상기 외부 리드와 동일한 두께로 형성된 패키지 몸체를 포함하며, 복수개의 상기 반도체 패키지 사이의 전기적인 연결이 상기 패키지 몸체의 상부면과 하부면으로 노출된 외부 리드들 사이의 접속에 의해 이루어지는 것을 특징으로 하는 적층 패키지를 제공한다.

<43> 본 발명에 따른 적층 패키지에 있어서, 맨 아래에 위치하는 반도체 패키지의 외부 리드

1019990041271

는 패키지 몸체 외부로 돌출되어 인쇄회로기판의 실장 형태 맞게 절곡되고, 그 외 반도체 패키지의 외부 리드의 말단은 상기 패키지 몸체의 측면과 동일면에 형성된다.

<44> 본 발명에 따른 개별 반도체 패키지에 있어서, 내부 리드는 반도체 칩에 근접한 리드의 선단부의 상부를 하프 에칭하여 형성하는 것이 바람직하며, 내부 리드와 반도체 칩은 금속 세선에 의해 전기적으로 연결하는 것이 바람직하다.

<45> 본 발명에 따른 개별 반도체 패키지에 있어서, 반도체 칩은 내부 리드의 선단부와 금속 범프에 의해 접속될 수 있다.

<46> 본 발명에 따른 개별 반도체 패키지에 있어서, 외부 리드의 표면은 주석-납 합금의 도금층이 형성되어 있기 때문에, 복수개의 개별 반도체 패키지 사이의 외부 리드들은 리플로우에 의해 서로 접속한다.

<47> 본 발명은 전술된 바와 같은 적층 패키지의 제조 방법을 제공한다. 즉, 복수개의 반도체 패키지를 적층하여 적층 패키지를 제조하는 방법으로, (A) 상기 반도체 패키지 각각은, (a) 내부 리드가 마주보는 양측에 소정의 간격을 두고 형성되고, 상기 내부 리드와 연결되며 상기 내부 리드보다 두껍게 외부 리드가 형성되고, 댐 바가 상기 내부 리드 외측의 상기 외부 리드 부분을 수직으로 가로지르는 방향으로 형성되고, 타이 바가 내부 리드가 형성된 쪽에 반대되는 양쪽에 형성되고, 상기 외부 리드, 댐 바 및 타이 바의 말단이 연결되어 지지되는 사이드 프레임이 형성된 리드 프레임을 준비하는 단계와, (b) 상기 리드 프레임의 하부면에 접착용 테이프를 부착하는 단계와, (c) 반도체 칩을 상기 리드 사이의 상기 테이프 상에 부착하는 단계와, (d) 상기 반도체 칩과 상기 내부 리드를 금속 세선으로 연결하는 단계와, (e) 상기 댐 바 안쪽의 상기 테이프 상의 상기 반도체 칩과 금속 세선 및 금속 세선으로 연결된 상기 내부 리드를 포함한 리드 부분을 봉합하여 패키지 몸체를 형성하되, 상기 내부 리드 외측의

리드 부분의 상부면이 외부에 노출되게 패키지 몸체를 형성하는 단계와, (f) 상기 테이프를 제거하는 단계, (g) 상기 리드 사이의 댄 바를 제거하는 단계 및 (h) 상기 사이드 프레임에서 상기 타이 바 및 외부 리드를 절단하여 상기 리드 프레임에서 개별 반도체 패키지를 분리하는 단계로 제조하는 단계와; (B) 상기 개별 반도체 패키지를 수직으로 적층하는 단계;를 포함하며, 복수개의 상기 반도체 패키지 사이의 전기적인 연결이 상기 패키지 몸체의 상부면과 하부면으로 노출된 외부 리드들 사이의 접속에 의해 이루어지고, 상기 적층 패키지와 외부 전자 장치와의 전기적 연결은 맨 아래에 위치하는 반도체 패키지의 외부 리드에 의해 이루어지는 것을 특징으로 하는 적층 패키지의 제조 방법을 제공한다.

<48> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

<49> 도 1은 본 발명의 제 1 실시예에 따른 반도체 패키지(60)를 나타내는 평면도이다. 도 2는 도 1의 2-2선 단면도로서, 패키지 몸체(50) 외측의 외부 리드(24) 부분이 결 쉘 타입으로 절곡된 상태를 보여주는 단면도이다.

<50> 도 1 및 도 2를 참조하면, 본 발명의 제 1 실시예에 따른 반도체 패키지(60)는 반도체 칩(10)과, 반도체 칩(10)과 금속 세션(40)으로 전기적으로 연결된 리드(21)를 포함하며, 반도체 칩(10)과 금속 세션(40) 및 금속 세션(40)으로 연결된 리드(21) 부분이 액상의 성형수지로 봉합하여 형성한 패키지 몸체(50)로 구성된다.

<51> 반도체 칩(10)은 활성면인 상부면의 가장자리 둘레에 복수개의 전극 패드(12)가 형성된 에지 패드형 반도체 칩이다. 제 1 실시예에서는 에지 패드형 반도체 칩(10)을 개시하였지만, 전극 패드가 활성면의 중심 부분에 형성된 센터 패드형 반도체 칩을 사용하거나, 에지 패드형과 센터 패드형이 복합된 반도체 칩을 사용할 수도 있다.

<52> 리드(21)는 패키지 몸체(50) 내부에 포함되는 내부 리드(22)와, 내부 리드(22)와 일체로 형성되며 패키지 몸체(50)와 동일한 두께로 형성되어 패키지 몸체(50)의 상부면과 하부면 및 측면으로 노출된 외부 리드(24)로 구성된다. 리드(21)는 반도체 칩(10)의 양측에 소정의 간격을 두고 복수개가 배치되며, 반도체 칩(10)의 전극 패드(12)와 금(Au) 또는 알루미늄(Al) 재질의 금속 세선(40)으로 전기적으로 연결된다. 한편, 제 1 실시예에서는 반도체 칩(10)의 양측에 리드(21)가 형성된 구조를 개시하였지만, 네방향으로 리드가 형성된 리드 프레임을 사용할 수도 있다.

<53> 도 2에서는 패키지 몸체(50)의 외측으로 돌출된 외부 리드(24)가 절 wing 타입(gull wing type)으로 절곡된 상태를 개시하고 있으며, 외부 리드(24)의 절곡된 부분은 인쇄회로 기판과 전기적으로 연결되는 외부접속단자로서 활용되고, 패키지 몸체(50)의 상부면에 노출된 외부 리드(24) 부분은 도 3에 따른 반도체 패키지(60a)의 외부 리드(24)와 접속될 수 있는 내부접속단자로서 활용된다.

<54> 그리고, 반도체 칩(10)과, 내부 리드(22) 및 금속 세선(40)을 봉합하여 패키지 몸체(50)를 형성할 때, 패키지 몸체(50)의 하부면으로 반도체 칩(10)의 하부면이 노출되도록 형성한다. 이렇게 반도체 칩(10)의 하부면을 노출시킴으로써, 반도체 패키지(60)의 박형화를 이루고, 반도체 패키지(60)의 열 방출 능력을 극대화할 수 있다.

<55> 한편, 제 1 실시예에서와 같이 일체형으로 형성된 리드(21)의 내부 리드(22)는, 리드(22)의 선단부를 하프 에칭(half etching)하여 형성하게 되며, 하프 에칭하는 깊이는 내부 리드(22)와 반도체 칩의 전극 패드(12)를 접속하는 금속 세선(40)이 패키지 몸체(50)의 내부에 봉합될 수 있도록, 금속 세선(40)의 최고점보다는 깊게 형성하는 것이 바람직하다. 본 발명의 실시예에서는 리드(21) 두께의 절반 정도를 에칭하여 내부 리드(22)를 형성하였

다.

<56> 그리고, 금속 세션(40)의 최고점의 높이를 낮게 형성하기 위해서, 반도체 칩(10)과 내부 리드(22)에 각각 웨지 본딩법(wedge bonding method)으로 금속 세션(40)을 연결한다.

<57> 예를 들면, 두께 $100\mu\text{m}$ 인 반도체 칩(10)과, 두께 $25\mu\text{m}$ 인 금속 세션(40)을 사용할 경우, 두께가 $200\mu\text{m}$ 인 리드 프레임을 제공하여 두께 $200\mu\text{m}$ 의 반도체 패키지(60)를 제공할 수 있다. 이때, 하프 에칭된 깊이는 반도체 칩(10)의 두께와 동일한 $100\mu\text{m}$ 로 하는 것이 바람직하며, 웨지 본딩법을 활용하여 금속 세션(40)을 연결하면, 반도체 칩(10)의 상부면에서 금속 세션(40)의 최고점까지의 높이를 금속 세션(40) 두께의 두 배인 $50\mu\text{m}$ 수준으로 관리하는 것이 가능하다. 즉, 반도체 칩(10)의 두 배 두께로 반도체 패키지(60)를 초박형화하는 것이 가능하다.

<58> 또는 외부 리드(24)의 상부면 밖으로 금속 세션(40)이 벗어나지 않는 범위 내에서 반도체 칩의 전극 패드(12)에는 볼 본딩(ball bonding)을 실시하고, 내부 리드(22)에서는 웨지 본딩을 실시하여 반도체 칩(10)과 내부 리드(22)를 연결할 수도 있다.

<59> 예를 들면, 두께 $100\mu\text{m}$ 인 반도체 칩(10)과, 두께가 $200\mu\text{m}$ 인 리드 프레임을 제공하여 두께 $200\mu\text{m}$ 의 반도체 패키지(60)를 제공할 수 있다. 즉, 하프 에칭된 깊이는 반도체 칩(10)의 두께와 동일한 $100\mu\text{m}$ 로 하는 것이 바람직하며, 볼 본딩법을 활용하여 금속 세션(40)을 연결하되, 반도체 칩(10)의 상부면에서 금속 세션(40)의 최고점의 높이가 $100\mu\text{m}$ 범위 내에서 조절하면 된다. 즉, 반도체 칩(10)의 두 배 두께로 반도체 패키지(60)를 초박형화하는 것이 가능하다.

<60> 도 3에 도시된 반도체 패키지(60a)는 도 2에 도시된 반도체 패키지(60)에 있어서, 패키지 몸체(50) 외측의 외부 리드(24a) 부분이 잘려진 형태와 동일한 형태를 갖는다. 즉, 패키지 몸체(50)의 외측의 외부 리드를 부분을 어떻게 처리하느냐에 따라서 도 2에 도시된 반도체 패키지(60)로 구현될 수도 있고, 도 3에 도시된 바와 같은 반도체 패키지(60a)로 구현될 수도 있다. 이때, 외부 리드(24a)는 패키지 몸체(50)의 상부면과 하부면 및 측면으로도 노출된다. 패키지 몸체(50)의 상부면 및 하부면에 노출된 외부 리드(24a)는 적층 패키지를 구현할 때 인접하는 다른 반도체 패키지(60, 60a)의 외부 리드(24, 24a)와 접속할 수 있는 내부접속단자로서 활용된다. 후술되겠지만, 도 2의 반도체 패키지(60)는 적층 패키지에서 맨 아래쪽에 위치하게 되며, 도 3의 반도체 패키지(60a)는 도 2의 반도체 패키지(60) 상에 적층되는 패키지이다.

<61> 본 발명의 제 1 실시예에 따른 반도체 패키지의 제조 방법의 실시예를 나타내는 공정도(80)가 도 4에 개시되어 있다. 그리고, 도 5 내지 도 12는 도 4에 도시된 제조 방법의 각 단계들을 보여주는 도면들이다. 도 4 내지 도 12를 참조하여 본 발명에 따른 제조 방법의 한 가지 실시예에 대하여 설명하겠다.

<62> 한편, 도 5 내지 도 11은 제 1 실시예에 따른 반도체 패키지 중에 도 2의 반도체 패키지(60)의 제조 단계를 도시하고 있고, 도 11을 제외한 도 5 내지 도 12는 도 3의 반도체 패키지(60a)의 제조 단계를 도시하고 있다. 도 5 내지 도 10은 공통적으로 진행되는 제조 공정임을 알 수 있다. 그리고, 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 나타낸다.

<63> 먼저, 공통적으로 진행되는 제조 공정인 도 5 내지 도 10에 도시된 단계를 먼저 설명하겠다. 즉, 도 4에 도시된 바와 같이, 구리(Cu)계 또는 철(Fe)계 합금으로 제조된 리드 프레임 원판을 식각(etching) 또는 스탬핑(stamping) 방법으로 패터닝하여 제조된 리드

프레임(20)의 준비 단계(81)로부터 출발한다. 즉, 리드(21)들은 반도체 칩이 실장된 칩 실장 공간(32)의 양쪽에서 칩 실장 공간(32)을 향하여 소정의 간격을 두고 뻗어 있다. 댐 바(23; dam-bar)는 리드(21)들을 수직으로 가로지르는 방향으로 형성되어 있다. 타이 바(27; tie-bar)는 리드(21)들이 형성된 쪽에 반대되는 양쪽에 형성되어 있다. 그리고, 사이드 프레임(25; side frame)에 리드(21), 댐 바(23) 및 타이 바(27)의 말단들이 연결되어 지지된다.

<64> 한편, 제 1 실시예에서는 하나의 반도체 칩이 실장될 수 있는 단위 리드 프레임(20) 부분만을 도시하였지만, 단위 리드 프레임(20) 부분을 일렬로 형성하여 통상적인 리드 프레임 스트립(lead frame strip)형태로 형성할 수도 있고, $n \times m$ 행렬(n, m 은 자연수) 형태로 형성할 수도 있다.

<65> 리드(21)는 반도체 칩과 금속 세션으로 접속되는 내부 리드(22)와, 내부 리드(22)와 일체로 형성되어 사이드 프레임(25)에 연결된 외부 리드(24)로 구성된다. 이때, 내부 리드(22)는 칩 실장 공간(32)에 근접한 리드(21)의 말단 부분을 하프 에칭하여 형성한다.

<66> 다음으로 리드 프레임(20)을 접착용 테이프(30)에 부착하는 공정(82)을 진행한다. 테이프(30)는 반도체 칩이 부착될 수 있는 부재로서의 역할을 담당하며, 그 외 포팅 방법으로 진행되는 성형 공정에서는 액상의 성형 수지가 댐 바(23) 및 사이드 프레임(25)으로 세는 것을 방지하는 역할도 담당한다.

<67> 다음으로 도 6에 도시된 바와 같이 반도체 칩(10)을 부착하는 공정(83)을 진행한다. 즉, 내부 리드(22) 사이의 칩 실장 공간의 테이프(30) 상에 반도체 칩(10)을 부착한다. 반도체 칩(10)은 활성면인 상부면에 내부 리드(22)에 대응되게 복수개의 전극 패드(12)가 형성되어 있다.

- <68> 이때, 리드 프레임(20)의 두께와 동일한 두께로 반도체 패키지를 제조하기 위해서, 테이프(30) 상에 부착되는 반도체 칩(10)의 두께보다는 적어도 두꺼운 리드 프레임을 사용하는 것이 바람직하다. 예를 들면, 반도체 칩(10)의 두께가 $100\mu\text{m}$ 인 경우에, 리드 프레임(20)의 두께가 그 두 배인 $200\mu\text{m}$ 인 리드 프레임을 사용하는 것이 바람직하다.
- <69> 다음으로 도 7에 도시된 바와 같이 반도체 칩(10)과 내부 리드(22)를 금속 세션(40)으로 와이어 본딩하는 공정(84)을 진행한다. 즉, 내부 리드(22)에 대응되게 반도체 칩(10)의 전극 패드(12)를 금(Au) 또는 알루미늄(Al) 재질의 금속 세션(40)으로 와이어 본딩한다. 이때, 본딩되는 금속 세션(40)의 높이를 최소화하기 위해서, 웨지 본딩법을 활용한다. 물론, 외부 리드(24)의 상부면 밖으로 금속 세션(40)이 벗어나지 않는 범위 내에서 반도체 칩의 전극 패드(12)에는 볼 본딩(ball bonding)을 실시하고, 내부 리드(22)에서는 웨지 본딩을 실시하는 방법으로 와이어 본딩 공정을 진행할 수도 있다.
- <70> 다음으로 도 8에 도시된 바와 같이 패키지 몸체(50)를 형성하는 성형 공정(85)을 진행한다. 즉, 액상의 성형 수지 예를 들면 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC)를 반도체 칩(10)이 실장된 댐 바(23)와 사이드 프레임(25) 사이의 테이프(30) 상에 주입하여 패키지 몸체(50)를 형성하되, 패키지 몸체(50) 상부면 상으로 외부 리드(24) 및 타이 바(27)의 상부면이 외부에 노출되도록 성형 공정을 진행한다. 리드 프레임(20)의 두께와 동일한 두께로 패키지 몸체(50)를 형성하기 위한 성형 방법으로는, 캐비티(cavity)가 형성되지 않은 평판 형태의 성형 금형을 사용한 트랜스퍼 몰딩(transfer molding) 방법이나, 포팅(potting) 방법을 활용하는 것이 바람직하다. 한편, 테이프(30)는 포팅 방법으로 성형 공정을 진행할 때, 액상의 성형 수지가 사이드 프레임(25) 및 댐 바(23) 사이로 세는 것을 방지한다.

- <71> 다음으로 도 9에 도시된 바와 같이 성형 공정 이후에 리드 프레임(20) 아래의 테이프(30)를 제거하는 공정을 진행한다. 이때, 패키지 몸체(50) 하부면으로 외부 리드(24)들과 타이 바(27)의 하부면이 노출된다.
- <72> 다음으로 도 10에 도시된 바와 같이 패키지 몸체(50) 외측의 외부 리드(24)를 수직으로 연결하고 있는 댄 바를 제거하는 공정을 진행한다.
- <73> 여기까지의 공정은 도 2 및 도 3에 개시된 반도체 패키지(60, 60a)를 제조하기 위해서 동일하게 진행되는 공정이고, 도 2에 개시된 반도체 패키지(60)를 제조하기 위해서는 다음과 같은 공정이 이어서 진행된다.
- <74> 즉, 도 11에 도시된 바와 같이 사이드 프레임(25)에서 외부 리드(24)를 절단한 이후에 패키지 몸체(50) 외측의 외부 리드(24) 부분을 인쇄회로기판에 표면실장할 수 있는 형태로 절곡하는 공정(88)을 진행한다. 즉, 외부 리드(24)를 걸 뿔 타입으로 절곡한다. 마지막으로, 사이드 프레임(25)과 연결된 타이 바(27)를 절단하여 리드 프레임(20)에서 도 2에 도시된 바와 같은 개별 반도체 패키지(60)를 분리하게 된다(89). 도 11에서 27a는 사이드 프레임(25)에서 타이 바(27)가 잘려진 부분을 가리키고, 21a는 사이드 프레임(25)에서 외부 리드(24)가 잘려진 부분을 가리킨다.
- <75> 도 3에 개시된 반도체 패키지(60a)를 제조하기 위해서는 다음과 같은 공정이 댄 바를 제거하는 공정에 이어서 진행된다. 즉, 도 12에 도시된 바와 같이 패키지 몸체(50) 외측의 외부 리드(24) 및 타이 바(27)를 절단하여 리드 프레임(20)에서 개별 반도체 패키지(60a)를 분리할 수 있다(89a). 이때, 외부 리드(24) 및 타이 바(27)를 절단하는 공정을 동시에 진행할 수도 있고, 패키지 몸체(50) 외측의 외부 리드(24)를 절단하는 공정 및 타이 바(27)를 절단하는 공정을 순차적으로 진행할 수도 있다.

<76> 한편, 댐 바를 제거하는 공정 이후에, 개별 반도체 패키지 적층시 외부 리드(24)들 사이의 접속과, 외부 리드(24)와 인쇄회로기판의 접속 신뢰성을 확보하기 위해서, 패키지 몸체(50)의 상부면과 하부면으로 노출된 외부 리드(24)의 표면에 주석-납 합금의 도금층을 형성하는 도금 공정을 진행할 수도 있다. 그리고, 도금층을 형성하는 공정 전에 패키지 몸체(50)에 근접한 외부 리드(24)들의 표면에 형성된 성형 수지 찌꺼기인 플래쉬(flash)를 제거하는 디플래쉬 공정(deflash step)을 진행하는 것이 바람직하다. 물론, 리드 프레임이 주석-납 합금의 도금층이 사전에 도금된 리드 프레임(pre-plating lead frame)이라면 전술된 바와 같은 공정은 생략할 수 있다.

<77> 이와 같이 제 1 실시예에 따라서 제조된 반도체 패키지(60, 60a)를 적층하여 도 13에 도시된 바와 같은 적층 패키지(70)를 구현하게 된다. 즉, 절곡된 외부 리드(24)를 갖는 반도체 패키지(60)를 맨 아래에 배치하고, 그 위에 복수개의 절단된 외부 리드(24a)를 갖는 반도체 패키지(60a)를 적층하여 적층 패키지(70)를 구현한다. 도 13에서는 절곡된 외부 리드(24)를 갖는 반도체 패키지(60)의 상부에 3개의 절단된 외부 리드(24a)를 갖는 반도체 패키지(60a)를 적층하여 구현된 적층 패키지(70)를 도시하고 있지만, 그 이상의 반도체 패키지를 적층할 수도 있다. 이때, 적층 패키지(70)의 맨 아래의 반도체 패키지(60)의 외부 리드(24)의 절곡된 부분은 인쇄회로기판에 적층 패키지(70)가 실장될 수 있는 외부접속단자로 활용되고, 그리고 패키지 몸체(50) 상부면 및 하부면에 노출된 외부 리드(24, 24a)는 적층되는 개별 반도체 패키지(60, 60a)를 서로 연결하는 내부접속단자로서 활용된다.

<78> 맨 아래의 반도체 패키지(60)를 제외한 반도체 패키지(60a)의 외부 리드(24a)는 패키지 몸체(50)의 상부면과 하부면에 노출된 구조를 갖고, 제조되는 개별 반도체 패키지의 외부 리드(24, 24a)에 대한 변형없이 개별 반도체 패키지(60, 60a) 간의 상호 접속이 가능하

기 때문에, 적층시 개별 반도체 패키지(60, 60a)의 정렬이 쉬워 적층 패키지(70)로의 구현이 용이하다. 특히, 적층 패키지(70)의 측면에서 외부 리드(24, 24a)의 정렬 관계 및 적층된 관계를 쉽게 파악할 수 있다. 그리고, 제 1 실시예에 따라 제조되는 개별 반도체 패키지(60, 60a)는 통상적인 반도체 패키지의 제조 공정과 동일한 제조 공정으로 진행되기 때문에, 추가적인 설비 투자에 따른 비용 부담을 줄일 수 있고, 적층 패키지의 수율을 향상시킬 수 있다.

<79> 한편, 적층 패키지(70)를 구성하는 개별 반도체 패키지(60, 60a)의 외부 리드(24, 24a)의 접속 관계를 살펴보면 다음과 같다. 패키지 몸체(50)의 상부면과 하부면으로 노출된 외부 리드(24, 24a)의 표면에는 주석-납 합금의 도금층이 형성되어 있다. 따라서, 개별 반도체 패키지(60, 60a)를 수직으로 적층한 이후에, 약 180℃ 이상의 온도에서 리플로우(reflow) 공정을 진행하여 상하의 외부 리드(24, 24a)들을 접속시킬 수 있다.

<80> 또는 상하의 외부 리드(24, 24a)들 사이의 접속성을 향상시키기 위해서, 패키지 몸체(50)의 상부면에 노출된 외부 리드(24, 24a) 상에 각기 솔더 페이스트(solder paste)를 도포한 이후에, 복수개의 반도체 패키지(60, 60a)를 적층한 다음 리플로우하여 상하의 외부 리드(24, 24a)를 접속시킬 수도 있다. 물론, 최상부의 반도체 패키지(60a)의 외부 리드(24a)의 상부면에는 솔더 페이스트가 도포되지 않는다. 솔더 페이스트를 도포하는 방법으로 스크린 프린트(screen print)법이 주로 활용된다.

<81> 도 14는 본 발명의 제 2 실시예에 따른 반도체 패키지(160)로서, 패키지 몸체(150) 외측의 외부 리드(124) 부분이 걸림 타입으로 절곡된 상태를 보여주는 단면도이다.

<82> 도 14를 참조하면, 제 2 실시예에 따른 반도체 패키지(160)는 내부 리드(122)와 동일한 두께로 형성된 하부 리드 프레임(126)과, 내부 리드(126)를 제외한 하부 리드 프레임

(126) 상에 부착된 상부 리드 프레임(126)으로 구성된 리드 프레임(120)을 이용한 반도체 패키지이며, 외형적인 구성은 제 1 실시예에 따른 반도체 패키지(60)와 동일한 구성을 갖는다.

<83> 제 2 실시예에 따른 리드 프레임(120)을 이용하게 되면 제 1 실시예에서 실시되는 하프 에칭 없이 내부 리드(122)를 형성할 수 있기 때문에, 리드 프레임(120)의 제조 공정을 단순화할 수 있다. 즉, 원판 형태의 하부 리드 프레임(126) 상에 내부 리드로 형성된 부분에 대응되게 개방부가 형성된 상부 리드 프레임(128)을 열압착 방법으로 부착하여 리드 프레임 원판을 준비한 상태에서, 식각 또는 스탬핑 방법을 활용하여 리드 프레임 원판을 패터닝하여 도 5에 도시된 것과 동일한 형태로 리드 프레임(120)을 제조할 수 있다. 이때, 용점이 1430~1540℃인 철계 리드 프레임을 사용할 경우에, 하부 리드 프레임(126)에 상부 리드 프레임(128)을 800~1300℃에서 소정의 압력을 가하여 부착할 수 있다.

<84> 그리고, 도 15에 도시된 반도체 패키지(160a)는 도 14에 도시된 반도체 패키지(160)에 있어서, 패키지 몸체(150) 외측의 외부 리드(124a) 부분이 잘려진 형태와 동일한 형태를 갖는다. 즉, 패키지 몸체(150)의 외측의 외부 리드를 부분을 어떻게 처리하느냐에 따라서 도 14에 도시된 반도체 패키지(160)로 구현될 수도 있고, 도 15에 도시된 바와 같은 반도체 패키지(160a)로 구현될 수도 있다. 이때, 외부 리드(124a)는 패키지 몸체(150)의 상부면과 하부면 및 측면으로 누출된다.

<85> 제 2 실시예에 따른 리드 프레임(120)을 이용한 반도체 패키지(160, 160a)의 제조 공정은 제 1 실시예에 따른 반도체 패키지의 제조 공정과 동일한 공정으로 진행되기 때문에, 상세한 설명은 생략한다.

<86> 그리고, 도 16에 도시된 제 2 실시예에 따른 복수개의 개별 반도체 패키지(160,

160a)를 적층하여 형성된 적층 패키지(170) 또한 도 13에 따른 적층 패키지(70)와 동일한 구성을 갖는다. 즉, 절곡된 외부 리드(124)를 갖는 반도체 패키지(160)의 상부에 복수개의 절단된 외부 리드(124a)를 갖는 반도체 패키지(160a)를 적층하여 적층 패키지(170)를 구현한다.

<87> 도 17은 본 발명의 제 3 실시예에 따른 반도체 패키지(260)로서, 패키지 몸체(250) 외측의 외부 리드(224) 부분이 결 링 타입으로 절곡된 상태를 보여주는 단면도이다.

<88> 도 17을 참조하면, 제 3 실시예에 따른 반도체 패키지(260)는 전극 패드(212)에 금속 범프(240)가 형성된 반도체 칩(210)과, 반도체 칩의 금속 범프(240)에 접속되는 리드(221)를 포함하며, 반도체 칩(210)과 금속 범프(240) 접속된 리드(221) 부분을 액상의 성형수지로 봉합하여 형성한 패키지 몸체(250)로 구성된다.

<89> 반도체 칩(210)은 활성면인 상부면의 가장자리 둘레에 복수개의 전극 패드(212)가 형성된 에지 패드형 반도체 칩으로, 각각의 전극 패드(212)에 금속 범프(240)를 형성하여 그 금속 범프(240)를 범프 전극으로 활용한다. 금속 범프(240)는 통상적인 금속 범프 형성 방법인 도금법, 와이어 본딩법을 활용하여 형성할 수 있다.

<90> 리드(221)는 반도체 칩의 금속 범프(240)에 접속되며, 패키지 몸체(250) 내부에 포함되는 내부 리드(222)와, 내부 리드(222)와 일체로 형성되며 패키지 몸체(250)와 동일한 두께로 형성되어 패키지 몸체(250)의 상부면과 하부면을 포함한 측면으로 노출된 외부 리드(224)로 구성된다. 이때, 내부 리드(222)에 접속된 반도체 칩(210)의 하부면은 외부 리드(224)의 하부면보다는 적어도 안쪽에 위치할 수 있도록 리드(221)의 선단부의 하부를 식각하여 내부 리드(222)를 형성하는 것이 바람직하며, 본 발명에 따른 제 3 실시예에서는 반도체 칩(210)의 하부면이 외부 리드(224)의 하부면과 동일면에 올 수 있도록 형성하였다.

- <91> 도 17에서는 패키지 몸체(250)의 외측으로 돌출된 외부 리드(224)가 절 윈 타입으로 절곡된 상태가 도시되어 있고, 도 18에서는 패키지 몸체(250)의 외측으로 돌출된 외부 리드(224a) 부분이 잘려진 상태가 도시되어 있다. 후술되겠지만, 도 17의 반도체 패키지(260)는 적층 패키지에서 맨 아래쪽에 위치하게 되며, 도 18의 반도체 패키지(260a)는 도 17의 반도체 패키지(260) 상에 적층되는 패키지이다.
- <92> 그리고, 반도체 칩(210)과, 내부 리드(222)를 봉합하여 패키지 몸체(250)를 형성할 때, 패키지 몸체(250)의 하부면으로 반도체 칩(210)의 하부면이 노출되도록 형성한다. 이렇게 반도체 패키지(260)를 구현함으로써, 반도체 패키지(260)의 박형화가 가능하고, 반도체 패키지(260)의 열 방출 능력을 극대화할 수 있다.
- <93> 한편, 제 3 실시예에서와 같이 일체형으로 형성된 리드(221)의 내부 리드(222)는, 리드(221)의 선단부의 상부 및 하부를 식각하여 형성하되, 리드(221) 선단부의 하부를 더 깊게 식각한다. 왜냐하면, 내부 리드(222)의 하부면으로 반도체 칩(210)이 금속 범프(240) 접속시키고, 내부 리드(222)에 접속된 반도체 칩(210)의 하부면을 패키지 몸체(250)의 하부면으로 노출시키기 위해서이다.
- <94> 예를 들면, 두께 $100\mu\text{m}$ 인 반도체 칩(210)과, 내부 리드(222)에 접속된 금속 범프(240)의 높이가 약 $50\mu\text{m}$ 이고, 두께가 $200\mu\text{m}$ 인 리드 프레임을 제공할 경우에, 두께 $200\mu\text{m}$ 의 반도체 패키지(260, 260a)를 제공할 수 있다. 이때, 외부 리드(224)의 하부면에서 내부 리드(222)의 하부면까지의 거리는 $150\mu\text{m}$ 을 유지하는 것이 바람직하다.
- <95> 그리고, 도 18에 도시된 반도체 패키지(260a)는 도 17에 도시된 반도체 패키지(260)에 있어서, 패키지 몸체(250) 외측의 외부 리드(224a) 부분이 잘려진 형태와 동일한 형태를 갖는다. 즉, 패키지 몸체(250)의 외측의 외부 리드를 부분을 어떻게 처리하느냐에 따라서

1019990041271

도 17에 도시된 반도체 패키지(260)로 구현될 수도 있고, 도 18에 도시된 바와 같은 반도체 패키지(260)로 구현될 수도 있다. 이때, 외부 리드(224a)는 패키지 몸체(250)의 상부면과 하부면 및 측면으로 누출된다.

<96> 도 19는 본 발명의 제 3 실시예에 따른 반도체 패키지의 제조 방법의 실시예를 나타내는 공정도(90)이다. 도 19를 참조하면, 먼저, 반도체 칩에 형성된 금속 범프에 내부 리드 본딩(inner lead bonding)할 수 있는 내부 리드가 형성된 리드 프레임의 준비 단계(91)로부터 출발한다. 제 3 실시예에 따른 리드 프레임은 내부 리드의 형상을 제외한 도 5에 도시된 리드 프레임과 동일한 구성을 갖는다.

<97> 다음으로, 테이프를 부착하는 공정없이 바로 내부 리드의 하부를 통하여 반도체 칩에 형성된 금속 범프를 접속시키는 공정 즉 내부 리드 본딩 공정(92)을 진행한다.

<98> 다음으로, 댄 바 및 사이드 프레임 안쪽의 반도체 칩과 범프 접속된 내부 리드가 봉합되도록 패키지 몸체를 형성하는 성형 공정(93)을 진행한다. 이때, 외부 리드의 상부면 및 하부면을 포함한 반도체 칩의 하부면이 외부에 노출되게 성형 공정을 진행한다. 성형 방법으로는, 캐비티(cavity)가 형성되지 않은 평판 형태의 성형 금형을 사용한 트랜스퍼 몰딩 방법을 활용하는 것이 바람직하다. 또한, 리드 프레임의 하부면과 반도체 칩의 하부면에 접촉용 테이프를 부착하여 포팅 방법으로 성형 공정을 진행한 이후에 테이프를 제거하는 공정으로 성형 공정을 진행할 수도 있다.

<99> 그리고, 성형 공정이후에 진행되는 반도체 패키지 제조 공정은 제 1 실시예에 따른 공정과 동일한 순서로 진행된다. 즉, 도 17에 따른 반도체 패키지(260)를 제조하기 위해서는 댄 바를 제거하는 공정(94), 사이드 프레임에 연결된 외부 리드를 절단하여 절곡하는 공정(95) 및 타이 바를 절단하여 개별 반도체 패키지를 분리하는 공정(96) 순으로 차례로 진행

된다. 도 18에 따른 반도체 패키지(260a)를 제조하기 위해서는 댄 바를 제거하는 공정(94), 패키지 몸체에 근접한 외부 리드를 절단하고 타이 바를 절단하여 개별 반도체 패키지로 분리하는 공정(96a) 순으로 차례로 진행된다.

<100> 도 20은 제 3 실시예에 따른 복수개의 반도체 패키지(260, 260a)를 적층하여 구현된 적층 패키지(270)를 도시하고 있다. 반도체 칩(210)과 내부 리드(222)의 접속이 금속 범프(240)에 접속되는 것을 제외하면, 본 발명의 1 실시예에 따른 적층 패키지(70)와 동일한 외형적인 구성을 갖고 있음을 알 수 있다.

<101> 본 발명에 있어서, 그밖에 여러 가지 변형예가 가능한 것은 말할 것도 없다. 예를 들면, 제 1 실시예에 따른 반도체 패키지 중에서 절곡된 외부 리드를 갖는 복수개의 반도체 패키지를 적층하여 적층 패키지를 구현할 수도 있다. 제 2 실시예 및 제 3 실시예도 전술된 바와 같이 구성하여 적층 패키지를 구현할 수 있다.

<102> 또는, 외부 리드가 잘려진 개별 반도체 패키지를 복수개 적층하고, 맨 아래의 반도체 패키지의 외부 리드의 하부면에 솔더 볼을 형성하여 적층 패키지로 구현할 수도 있다.

<103> 그외, 제 1 실시예, 제 2 실시예 또는 제 3 실시예에 따른 반도체 패키지의 외형이 동일하다면, 복합적으로 적층하여 적층 패키지를 구현하는 것도 가능하다.

<104> 따라서, 패키지 몸체의 두께와 동일한 두께로 외부 리드가 형성된 반도체 패키지를 이용하여 적층 패키지를 구현한다면, 본 발명의 기술적 사상의 범위를 벗어나지 않는다.

【발명의 효과】

<105> 따라서, 본 발명의 구조를 따르면 패키지 몸체의 두께에 대응되게 외부 리드를 형성함으로써, 적층 패키지를 구성하는 개별 반도체 패키지를 박형화할 수 있다.

- <106> 적층 패키지를 구성하는 개별 반도체 패키지는 패키지 몸체의 가장자리 부분의 상부면 및 하부면에 노출된 부분을 갖기 때문에 개별 반도체 패키지에 대한 테스트가 가능하다.
- <107> 적층 패키지를 구성하는 개별 반도체 패키지들은 패키지 몸체의 상부면 및 하부면으로 노출된 외부 리드를 통하여 상호 접속하고, 외부 리드의 접속된 상태를 패키지 몸체의 측면을 통하여 확인할 수 있기 때문에, 개별 패키지의 적층시 개별 패키지의 정렬을 용이하게 실시할 수 있다.
- <108> 그리고, 적층 패키지를 구성하는 개별 반도체 패키지를 통상적인 반도체 패키지의 제조 공정과 동일한 공정으로 제조할 수 있기 때문에, 추가적인 비용 부담을 줄일 수 있고 적층 패키지의 수율을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 반도체 패키지가 적층된 적층 패키지로서,

상기 반도체 패키지들 각각은,

적어도 양측에 소정의 간격을 두고 소정의 두께로 형성된 내부 리드와, 상기 내부 리드와 연결되어 있으며 상기 내부 리드보다 적어도 두껍게 형성된 외부 리드로 구성된 리드와,

상기 내부 리드 사이에 배치되어 상기 내부 리드와 전기적으로 연결되고, 하부면이 상기 외부 리드의 하부면과 동일면에 위치하며 상기 내부 리드와 거의 동일한 두께를 갖는 반도체 칩과,

상기 반도체 칩과 내부 리드 및 반도체 칩과 내부 리드를 전기적으로 연결하는 부분을 봉합하여 성형되며, 상기 외부 리드의 상부면과 하부면이 외부에 노출되도록 상기 외부 리드와 동일한 두께로 형성된 패키지 몸체를 포함하며,

복수개의 상기 반도체 패키지 사이의 전기적인 연결이 상기 패키지 몸체의 상부면과 하부면으로 노출된 외부 리드들 사이의 접촉에 의해 이루어지는 것을 특징으로 하는 적층 패키지.

【청구항 2】

제 1항에 있어서, 상기 맨 아래에 위치하는 반도체 패키지의 외부 리드는 패키지 몸체 외부로 돌출되어 인쇄회로기판의 실장 형태 맞게 절곡되고, 그 외 반도체 패키지의 외부 리드의 말단은 상기 패키지 몸체의 측면과 동일면에 형성된 것을 특징으로 하는 적층 패키지.

【청구항 3】

제 1항에 있어서, 상기 내부 리드는 상기 반도체 칩에 근접한 상기 리드의 선단부의 상부를 하프 에칭하여 형성한 것을 특징으로 하는 적층 패키지.

【청구항 4】

제 1항에 있어서, 상기 내부 리드와 상기 반도체 칩은 금속 세선에 의해 전기적으로 연결되며, 상기 금속 세선이 상기 패키지 몸체의 내부에 봉합될 수 있도록, 상기 리드 선단부의 하프 에칭된 깊이는 적어도 상기 금속 세선의 최고점보다는 깊게 형성된 것을 특징으로 하는 적층 패키지.

【청구항 5】

제 4항에 있어서, 상기 금속 세선의 양말단은 상기 내부 리드와 상기 반도체 칩에 웨지 본딩된 것을 특징으로 하는 적층 패키지.

【청구항 6】

제 1항에 있어서, 상기 외부 리드의 표면은 주석-납 합금의 도금층이 형성되어 있는 것을 특징으로 하는 적층 패키지.

【청구항 7】

복수개의 반도체 패키지를 적층하여 적층 패키지를 제조하는 방법으로,

(A) 상기 반도체 패키지 각각은,

(a) 내부 리드가 마주보는 양측에 소정의 간격을 두고 형성되고, 상기 내부 리드와 연결되며 상기 내부 리드보다 두껍게 외부 리드가 형성되고, 댄 바가 상기 내부 리드 외측의 상기 외부 리드 부분을 수직으로 가로지르는 방향으로 형성되고, 타이 바가 내부 리드가 형성된

쪽에 반대되는 양쪽에 형성되고, 상기 외부 리드, 댐 바 및 타이 바의 말단이 연결되어 지지되는 사이드 프레임이 형성된 리드 프레임을 준비하는 단계와,

(b) 상기 리드 프레임의 하부면에 접착용 테이프를 부착하는 단계와,

(c) 반도체 칩을 상기 리드 사이의 상기 테이프 상에 부착하는 단계와,

(d) 상기 반도체 칩과 상기 내부 리드를 금속 세션으로 연결하는 단계와,

(e) 상기 댐 바 안쪽의 상기 테이프 상의 상기 반도체 칩과 금속 세션 및 금속 세션으로 연결된 상기 내부 리드를 포함한 리드 부분을 봉합하여 패키지 몸체를 형성하되, 상기 내부 리드 외측의 리드 부분의 상부면이 외부에 노출되게 패키지 몸체를 형성하는 단계와,

(f) 상기 테이프를 제거하는 단계,

(g) 상기 리드 사이의 댐 바를 제거하는 단계 및

(h) 상기 사이드 프레임에서 상기 타이 바 및 외부 리드를 절단하여 상기 리드 프레임에서 개별 반도체 패키지를 분리하는 단계로 제조하는 단계와;

(B) 상기 개별 반도체 패키지를 수직으로 적층하는 단계;를 포함하며,

복수개의 상기 반도체 패키지 사이의 전기적인 연결이 상기 패키지 몸체의 상부면과 하부면으로 노출된 외부 리드들 사이의 접속에 의해 이루어지고, 상기 적층 패키지와 외부 전자 장치와의 전기적 연결은 맨 아래에 위치하는 반도체 패키지의 외부 리드에 의해 이루어지는 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 8】

제 7항에 있어서, 상기 내부 리드는 리드의 선단부를 하프 에칭하여 형성한 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 9】

제 8항에 있어서, 상기 리드 프레임은,

상기 내부 리드와 동일한 두께로 형성된 하부 리드 프레임과, 상기 내부 리드를 제외한 상기 하부 리드 프레임 상에 부착된 상부 리드 프레임으로 구성된 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 10】

제 7항에 있어서, 상기 (e) 단계에서, 상기 금속 세선이 상기 패키지 몸체의 내부에 봉합될 수 있도록, 상기 외부 리드의 상부면에서 상기 내부 리드의 상부면 사이의 거리는 적어도 상기 금속 세선의 최고점보다는 길게 형성된 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 11】

제 7항에 있어서, 상기 (d) 단계에서, 상기 금속 세선은 상기 내부 리드와 상기 반도체 칩을 웨지 본딩 방법으로 연결하는 것을 특징으로 적층 패키지의 제조 방법.

【청구항 12】

제 7항에 있어서, 상기 (h) 단계는,

(h1) 상기 사이드 프레임에 연결된 상기 외부 리드를 절단하여 인쇄회로기판의 실장 형태에 맞게 절곡하는 단계와;

(h2) 상기 사이드 프레임에 연결된 상기 타이 바를 절단하여 상기 리드 프레임에서 개별 반도체 패키지를 분리하는 단계;를 포함하며,

상기 반도체 패키지는 상기 맨 아래에 위치하는 반도체 패키지인 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 13】

제 12항에 있어서, 상기 맨 아래에 위치하게될 반도체 패키지의 외부 리드는 걸 워 타입으로 절곡되는 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 14】

제 7항에 있어서, 상기 (h) 단계는,

(h1) 상기 패키지 몸체 바로 외측의 상기 외부 리드를 절단하는 단계와;

(h2) 상기 사이드 프레임에 연결된 상기 타이 바를 절단하여 상기 리드 프레임에서 개별 반도체 패키지를 분리하는 단계;를 포함하며,

상기 반도체 패키지는 상기 맨 아래에 위치하는 반도체 패키지에 적층되는 반도체 패키지인 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 15】

제 7항에 있어서, 상기 (g) 단계 이후에, 상기 외부 리드의 표면에 주석-납 합금의 도금층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 16】

제 15항에 있어서, 상기 (B) 단계에서, 상기 복수개의 반도체 패키지 사이의 외부 리드들은 리플로우에 의해 서로 접속되는 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 17】

제 7항에 있어서, 상기 (B) 단계에서, 상기 패키지 몸체 상부면에 노출된 상기 외부 리

드에 솔더 페이스트를 도포한 이후에, 상기 복수개의 반도체 패키지를 수직으로 적층하고 리플로우하여 상하의 상기 외부 리드들을 접속시키는 것을 특징으로 하는 적층 패키지의 제조 방법.

【청구항 18】

복수개의 반도체 패키지를 적층하여 적층 패키지를 제조하는 방법으로,

(A) 상기 반도체 패키지 각각을,

(a) 내부 리드가 마주보는 양측에 소정의 간격을 두고 형성되고, 상기 내부 리드와 연결되며 상기 내부 리드보다 두껍게 외부 리드가 형성되고, 댐 바가 상기 내부 리드 외측의 상기 외부 리드 부분을 수직으로 가로지르는 방향으로 형성되고, 타이 바가 내부 리드가 형성된 쪽에 반대되는 양쪽에 형성되고, 상기 외부 리드, 댐 바 및 타이 바의 말단이 연결되어 지지되는 사이드 프레임이 형성된 리드 프레임을 준비하는 단계와,

(b) 복수개의 범프 전극이 형성된 반도체 칩을 준비하여, 상기 내부 리드에 상기 반도체 칩의 범프 전극을 접속시키는 단계와,

(c) 상기 댐 바 안쪽의 상기 반도체 칩과 범프 접속된 내부 리드를 포함한 리드 부분을 봉합하여 패키지 몸체를 형성하되, 상기 내부 리드 외측의 리드 부분의 상부면과 하부면이 외부에 노출되게 패키지 몸체를 형성하는 단계와,

(d) 상기 외부 리드 사이의 댐 바를 제거하는 단계 및

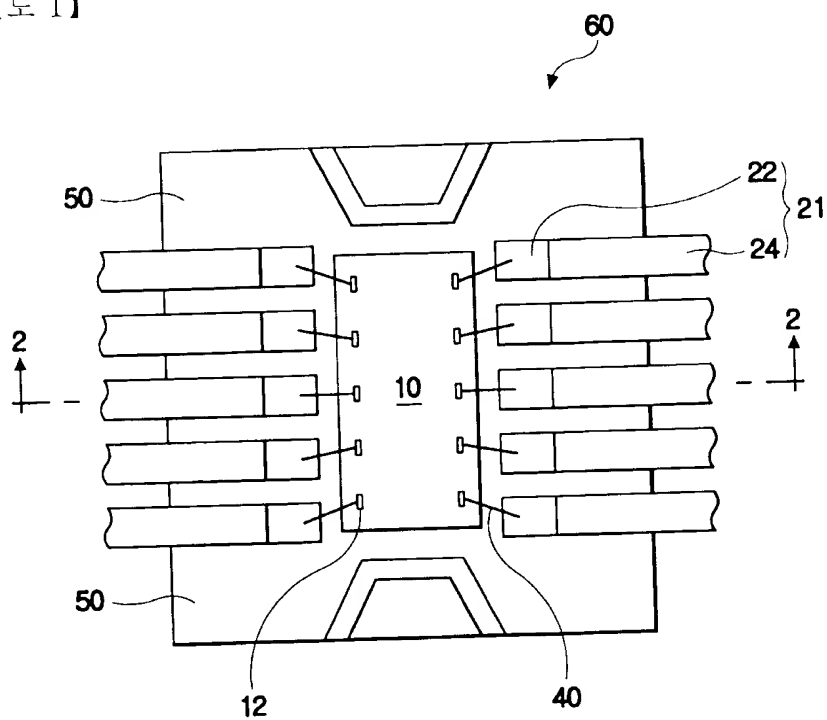
(e) 상기 사이드 프레임에서 상기 타이 바 및 외부 리드를 절단하여 상기 리드 프레임에서 개별 반도체 패키지를 분리하는 단계로 제조하는 단계와;

(B) 상기 개별 반도체 패키지를 수직으로 적층하는 단계;를 포함하며,

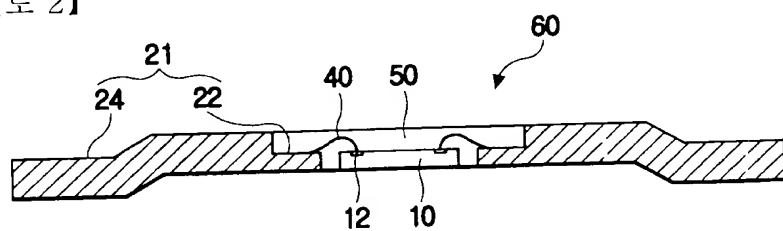
복수개의 반도체 패키지 사이의 전기적인 연결이 상기 패키지 몸체의 상부면과 하부면으로 노출된 외부 리드들 사이의 접속에 의해 이루어지고, 상기 적층 패키지와 외부 전자 장치와의 전기적 연결은 맨 아래에 위치하는 반도체 패키지의 외부 리드에 의해 이루어지는 것을 특징으로 하는 적층 패키지의 제조 방법.

【도면】

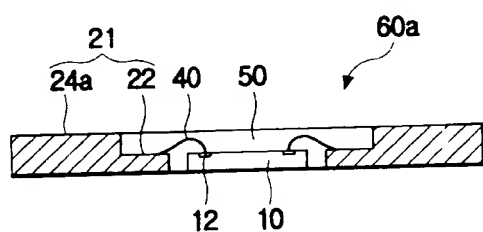
【도 1】



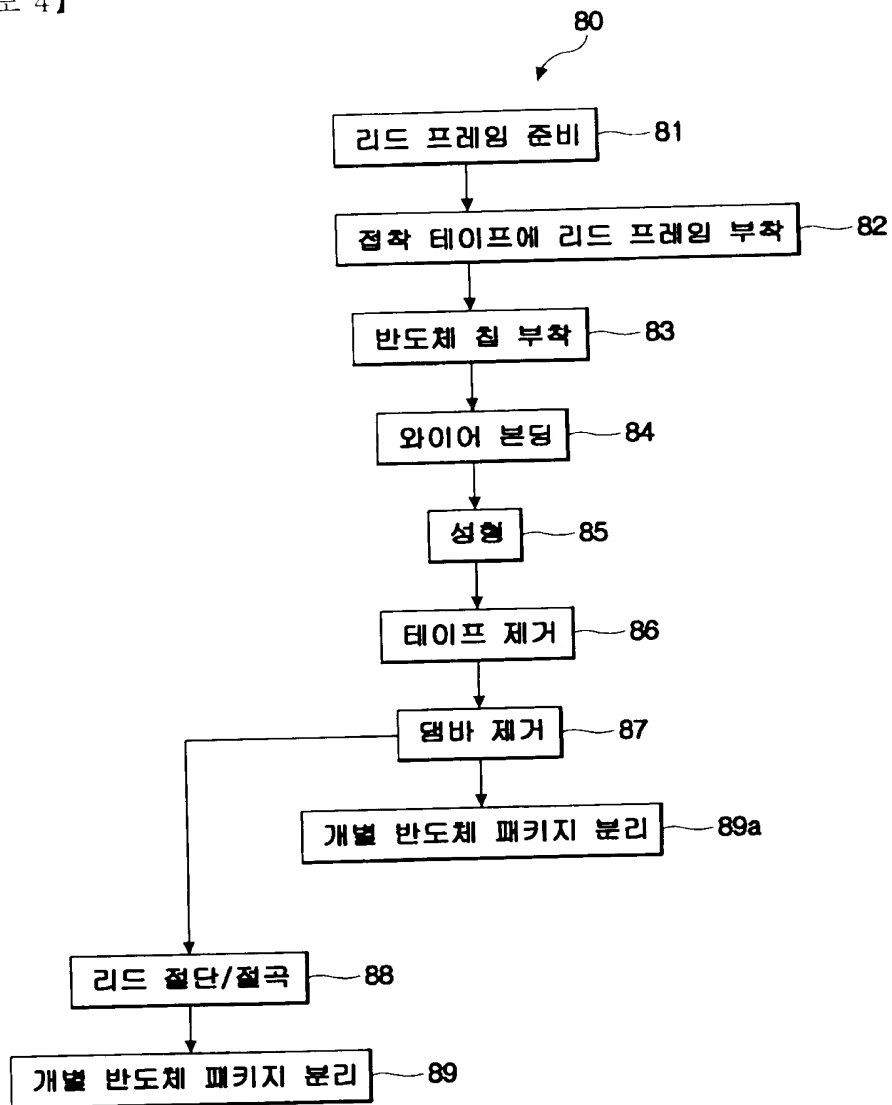
【도 2】



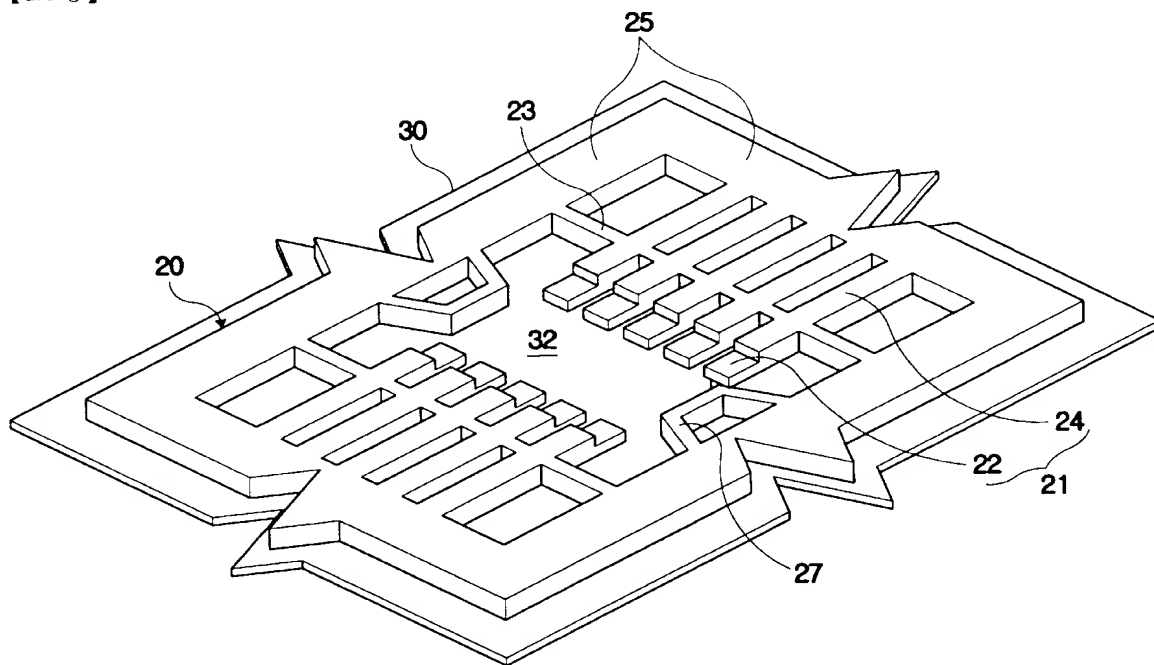
【도 3】



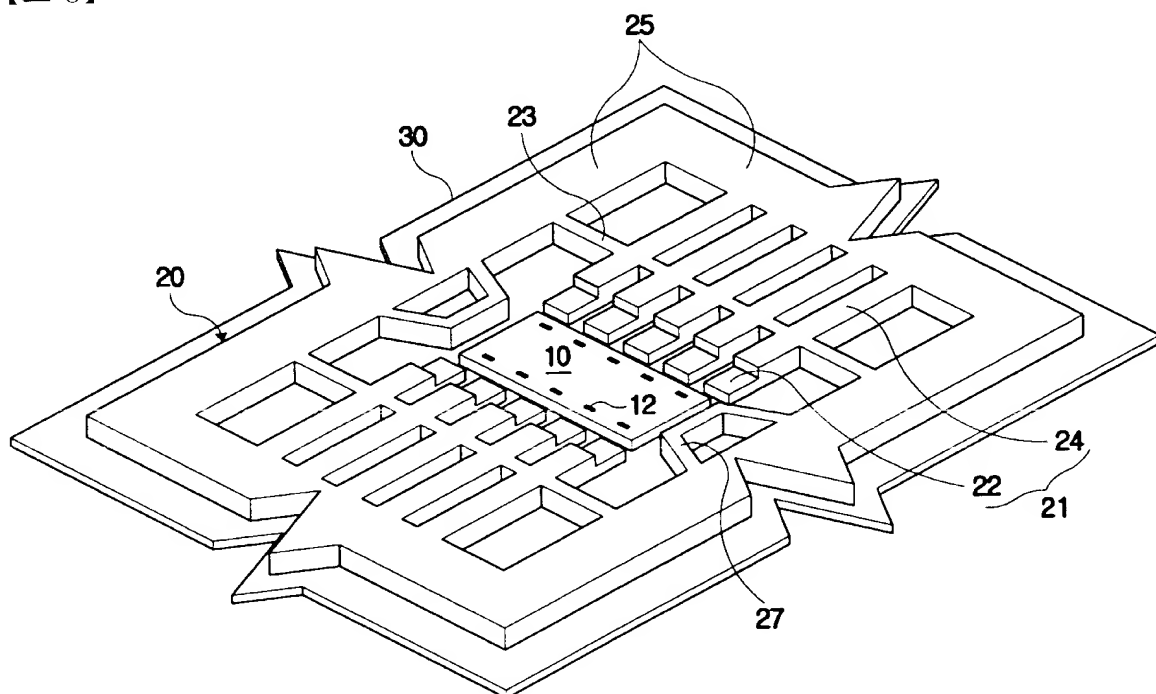
【도 4】



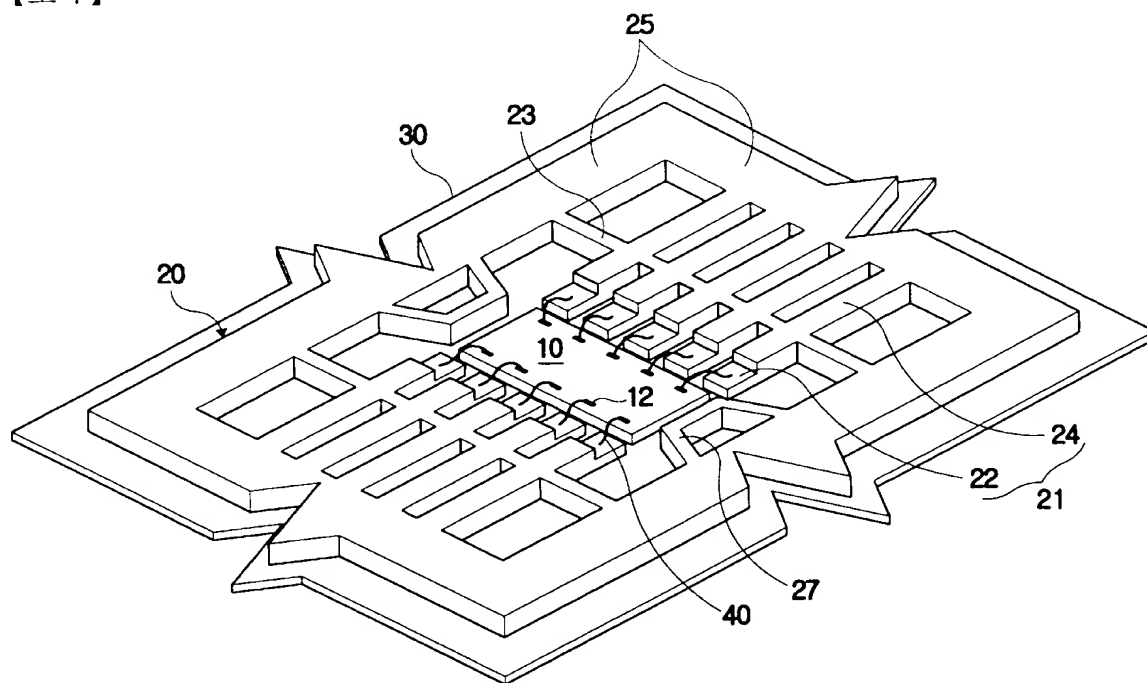
【図 5】



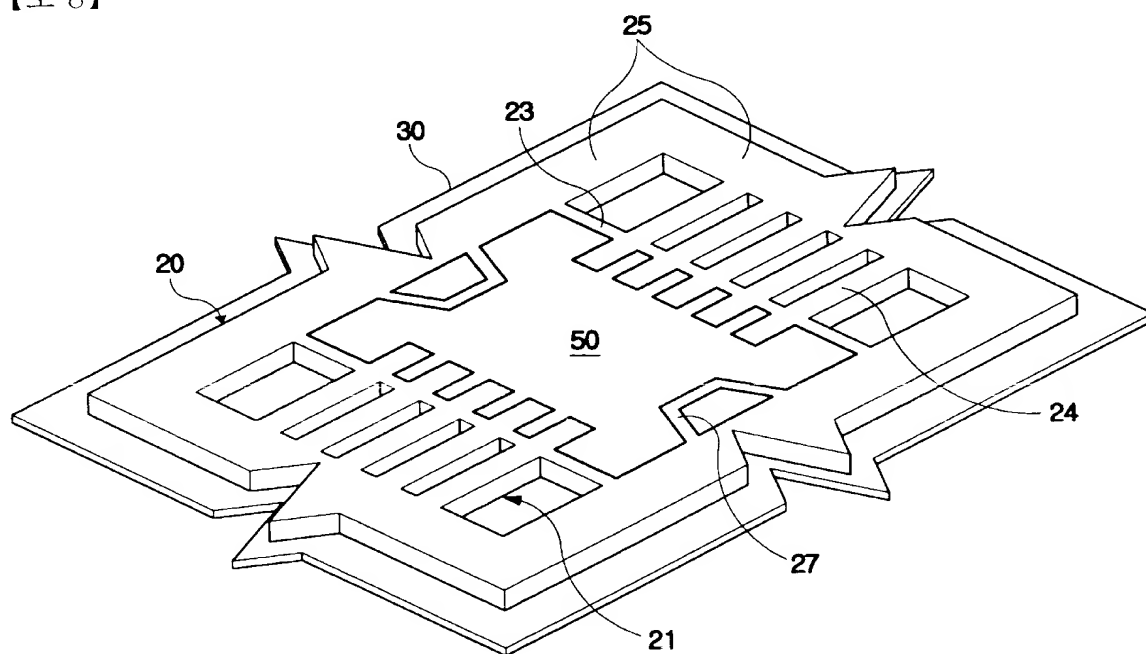
【図 6】



【図 7】

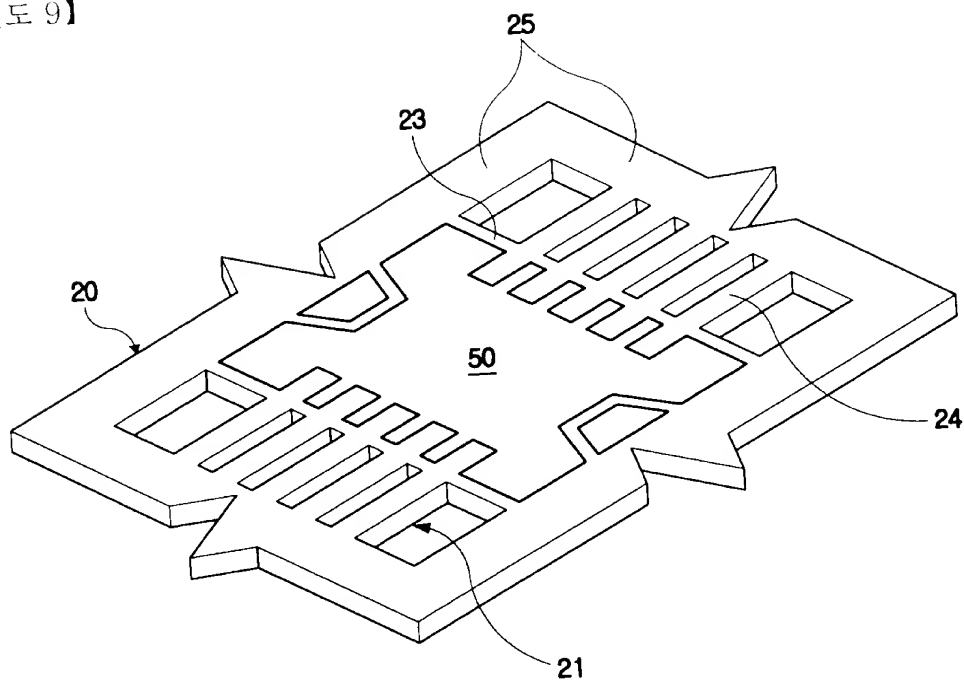


【図 8】

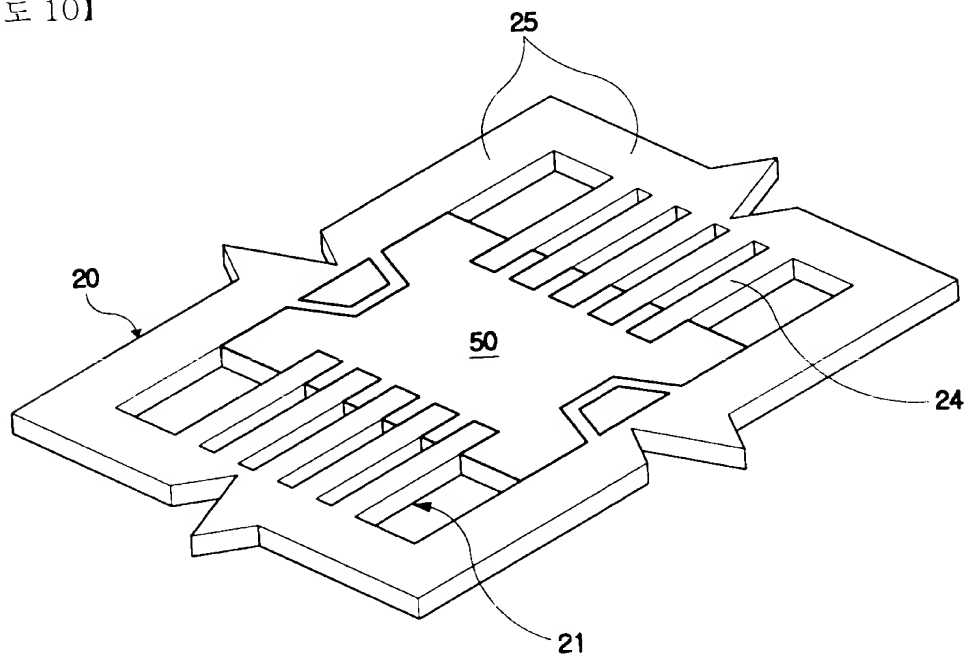


1019990041271

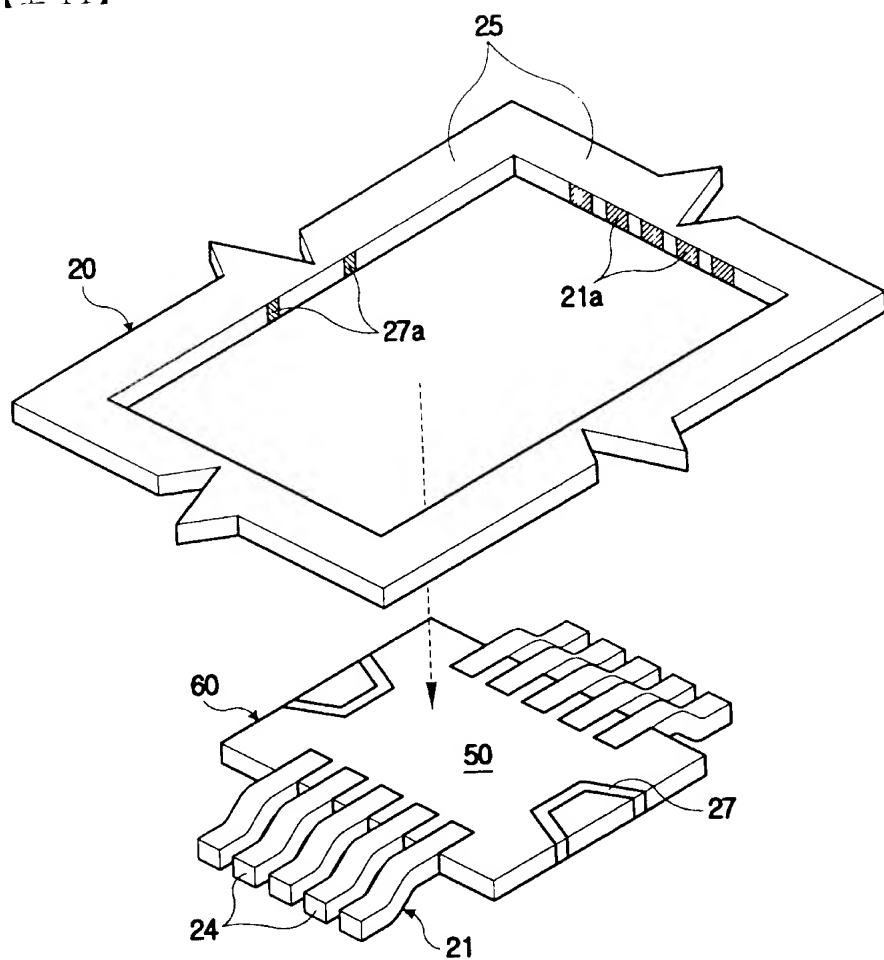
【도 9】



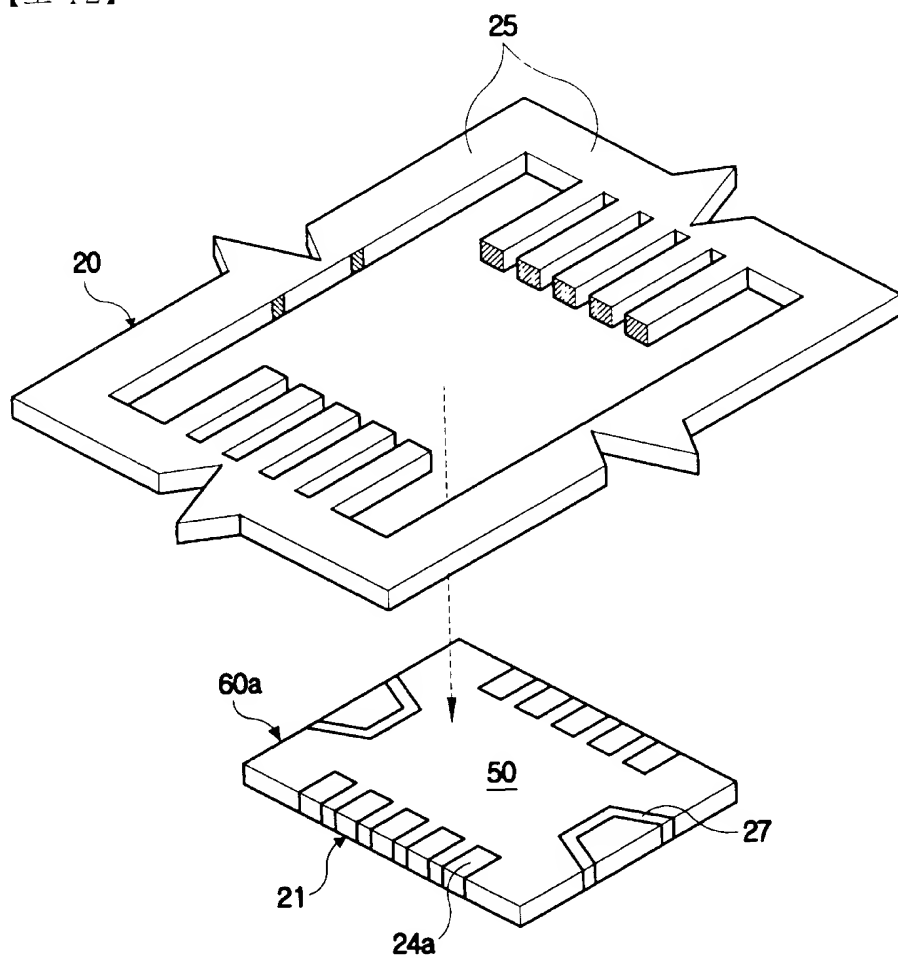
【도 10】



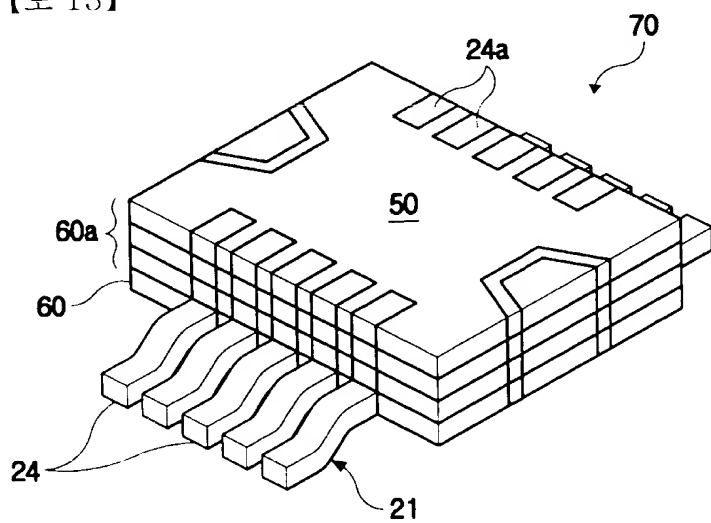
【図 11】



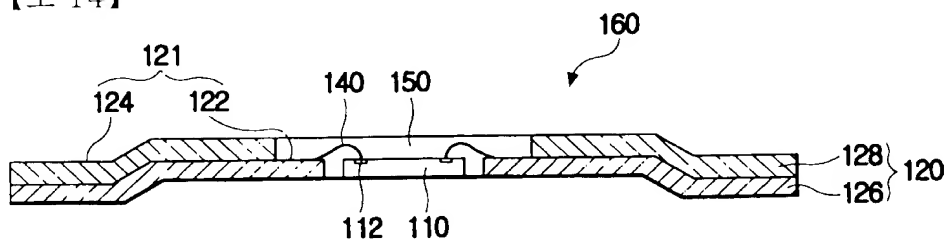
【図 12】



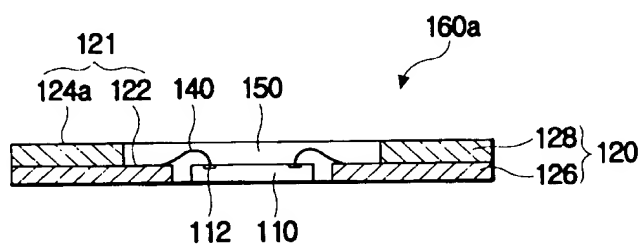
【図 13】



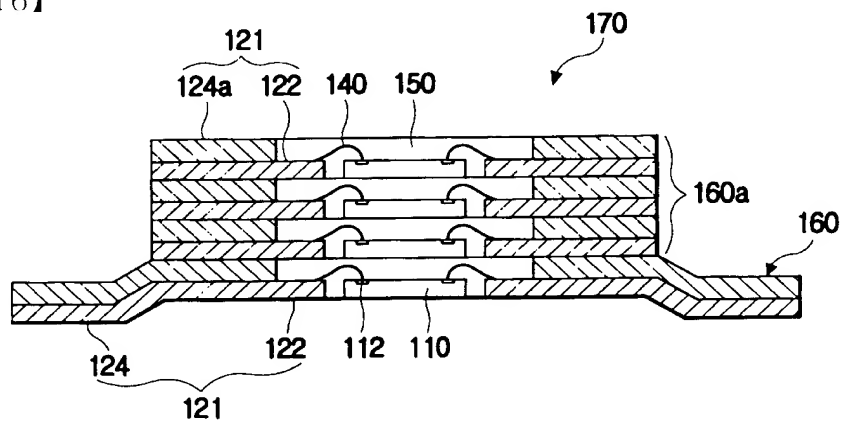
【図 14】



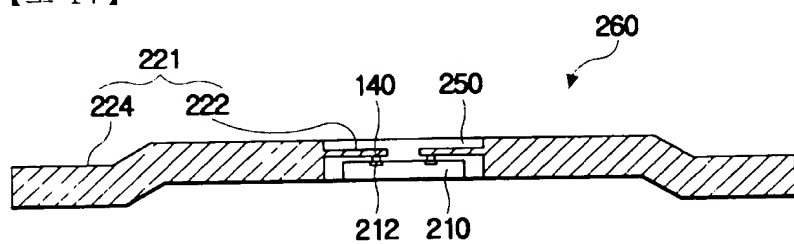
【図 15】



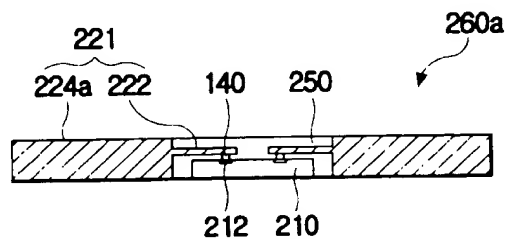
【図 16】



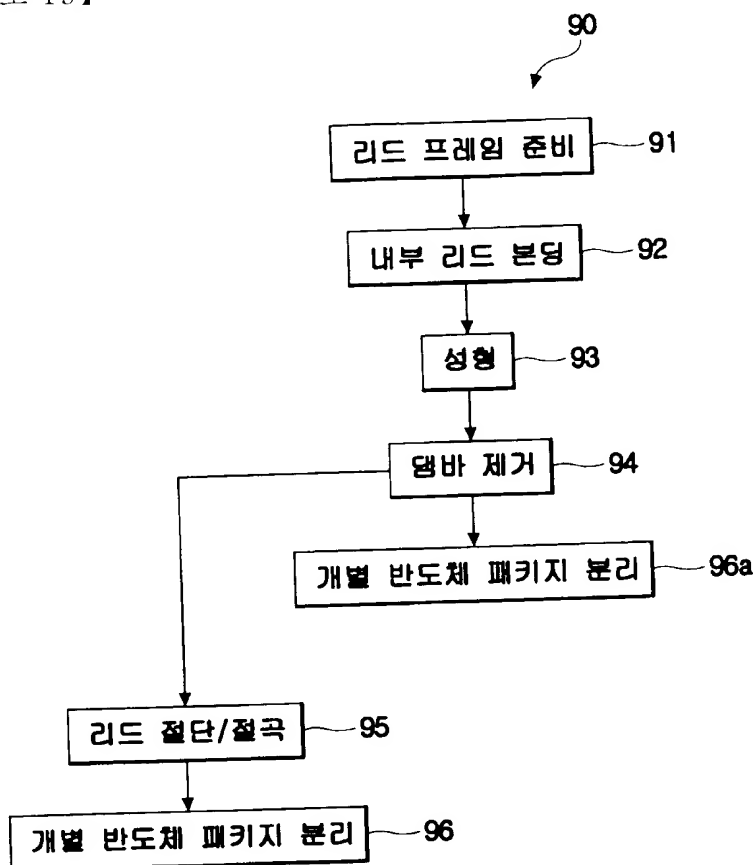
【図 17】



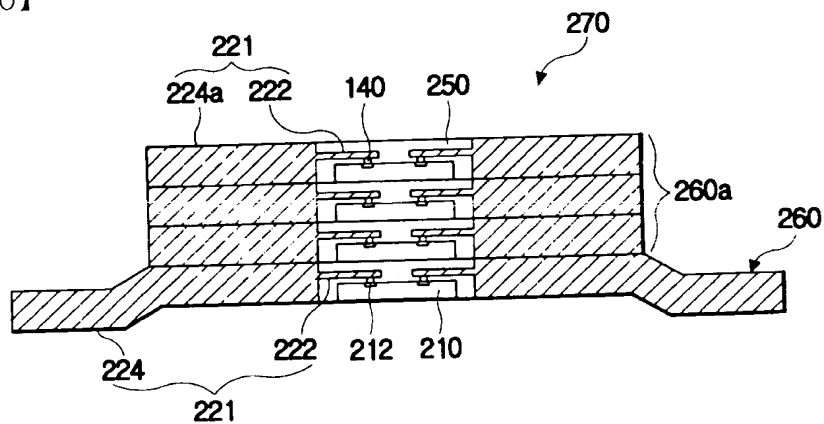
【図 18】



【도 19】



【도 20】



【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	1999.09.29
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【사건의 표시】	
【출원번호】	10-1999-0041271
【출원일자】	1999.09.27
【심사청구일자】	1999.09.27
【발명의 명칭】	적층 패키지 및 그의 제조 방법
【제출원인】	
【접수번호】	1-1-99-0119142-86
【접수일자】	1999.09.27
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상 항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인 윤동열 (인) 대리인 이선희 (인)

1019990041271

1999/10/8

【수수료】

『보정료』 0 원

【.추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】

1. 보정내용을 증명하는 서류_1통

1019990041271

1999/10/8

【보정대상항목】 청구항 18

【보정방법】 삭제